

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shinichi WATANABE, et al.

GAU:

SERIAL NO:NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-132703	May 12, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月12日

出 願 番 号

Application Number:

特願2003-132703

[ST.10/C]:

[JP2003-132703]

出 願 人

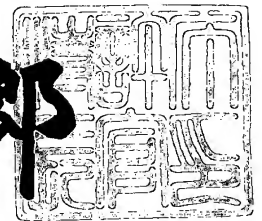
Applicant(s):

株式会社東芝

2003年 6月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3042996

【書類名】 特許願

【整理番号】 A000205824

【提出日】 平成15年 5月12日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体記憶装置およびその製造方法

【請求項の数】 22

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 渡邊 伸一

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 森本 豊太

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 尾崎 徹

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 小山 治彦

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、
前記半導体基板の表面に形成され、且つ第 1 側壁を有する、第 1 溝と、
前記第 1 溝の底部の前記半導体基板内に形成された第 1 不純物拡散領域と、
前記半導体基板の表面に形成され、且つ一端が前記第 1 側壁に接し、且つ前記第 1 不純物拡散領域と同じ導電性を有する、第 2 不純物拡散領域と、
前記第 1 不純物拡散領域と前記第 2 不純物拡散領域との間の前記第 1 側壁上にゲート絶縁膜を介して配設された第 1 ゲート電極と、
前記第 2 不純物拡散領域上に配設された第 1 下部電極と、
前記第 1 下部電極上に配設された第 1 強誘電体膜と、
前記第 1 強誘電体膜上に配設された第 1 上部電極と
前記第 1 上部電極の上方に配設された第 1 配線層と、
前記第 1 配線層と前記第 1 不純物拡散領域とを電氣的に接続する第 1 コンタクトプラグと、
を具備することを特徴とする半導体記憶装置。

【請求項 2】 前記第 1 上部電極と前記第 1 配線層とは電氣的に接続されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記第 1 コンタクトプラグの一部が、前記第 1 溝内に配設されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記第 1、第 2 不純物拡散領域および前記第 1 ゲート電極から構成されるトランジスタと、前記第 1 下部電極と前記第 1 強誘電体膜と前記第 1 上部電極とから構成されるキャパシタと、を具備するメモリセルが複数個電氣的に直列接続された構造を有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 5】 前記第 1 溝と離間し、前記半導体基板を介して前記第 1 側壁と対向する第 2 側壁を有し、前記第 2 不純物拡散領域の他端が前記第 2 側壁に接するように前記半導体基板の表面に形成された第 2 溝と、

前記第 2 溝の底部の前記半導体基板内にされ、且つ前記第 1 不純物拡散領域と同じ導電型を有する、第 3 不純物拡散領域と、

前記第 2 不純物拡散領域と第 3 不純物拡散領域との間の前記第 2 側壁上にゲート絶縁膜を介して配設された第 2 ゲート電極と、

前記第 1 下部電極上に前記第 1 強誘電体膜と離間して配設された第 2 強誘電体膜と、

前記第 2 強誘電体膜上に配設された第 2 上部電極と、

前記第 2 上部電極の上方に配設された第 2 配線層と、

前記第 2 配線層と前記第 3 不純物拡散領域とを電氣的に接続する第 2 コンタクトプラグと、

をさらに具備することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 6】 前記第 2 上部電極と前記第 2 配線層とは電氣的に接続されていることを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 7】 前記第 2 コンタクトプラグの一部が、前記第 2 溝内に配設されることを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 8】 前記半導体基板の表面に形成され、且つ一端が前記第 1 側壁と対向する第 3 側壁に接し、且つ第 1 不純物拡散領域と同じ導電型を有する、第 4 不純物拡散領域と、

前記第 1 不純物拡散領域と前記第 4 不純物拡散領域との間の前記第 3 側壁上にゲート絶縁膜を介して配設された第 3 ゲート電極と、

前記第 4 不純物拡散領域上に配設された第 2 下部電極と、

前記第 2 下部電極上に配設された第 3 強誘電体膜と、

前記第 3 強誘電体膜上に配設された第 3 上部電極と、

をさらに具備することを特徴とする請求項 1 乃至 3、5 乃至 7 のいずれか 1 項に記載の半導体記憶装置。

【請求項 9】 前記第 1、第 3 上部電極と前記第 1 配線層とは、電氣的に接続されていることを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 10】 前記第 1 ゲート電極を覆う第 1 絶縁膜と、

前記第 1 溝を埋め込むように配設され、且つ前記第 1 絶縁膜と異なる第 2 絶縁膜と、

をさらに具備することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体記憶装置。

【請求項 1 1】 トランジスタと、両端が前記トランジスタの両端とそれぞれ電氣的に接続されたキャパシタとから構成されるメモリセルが複数個電氣的に直列接続された構成を有する半導体記憶装置であって、

前記トランジスタは、それぞれが、

半導体基板の表面に形成された溝の底部の前記半導体基板内に形成された第 1 不純物拡散領域と、

前記溝の相互間の前記半導体基板の表面に形成され、且つ両端が前記溝の側壁に接し、且つ前記第 1 不純物拡散領域と同じ導電型を有する第 2 不純物拡散領域と、

前記第 1 不純物拡散領域と前記第 2 不純物拡散領域との間の前記溝の前記側壁上にゲート絶縁膜を介して配設されたゲート電極と、

を有し、

前記キャパシタは、それぞれが、

前記第 2 不純物拡散領域上に延在する下部電極と、

前記下部電極上に配設された強誘電体膜と、

前記強誘電体膜上に配設された上部電極と、

を有することを特徴とする半導体記憶装置。

【請求項 1 2】 前記コンタクトプラグの一部が、前記溝内に配設されることを特徴とする請求項 1 1 に記載の半導体記憶装置。

【請求項 1 3】 前記トランジスタは、前記溝の第 1 側壁に沿って配設された第 1 トランジスタと、前記第 1 側壁と反対側の第 2 側壁に沿って配設された第 2 トランジスタとを有することを特徴とする請求項 1 1 に記載の半導体記憶装置。

【請求項 1 4】 前記キャパシタは、前記第 1 トランジスタと電氣的に接続された第 1 キャパシタと、前記第 2 トランジスタと電氣的に接続された第 2 キャ

パシタとを有し、

前記半導体記憶装置は、前記第 1 キャパシタの前記上部電極と前記第 2 キャパシタの前記上部電極とを電氣的に接続する配線層と、前記配線層と前記第 1 不純物拡散領域とを電氣的に接続するコンタクトプラグと、をさらに具備することを特徴とする請求項 1 3 に記載の半導体記憶装置。

【請求項 1 5】 前記第 1 トランジスタと、この第 1 トランジスタが配設される前記溝の隣の溝内に配設された前記第 2 トランジスタとは、前記下部電極を共有していることを特徴とする請求項 1 3 に記載の半導体記憶装置。

【請求項 1 6】 前記ゲート電極を覆う第 1 絶縁膜と、前記溝を埋め込むように配設され、且つ前記第 1 絶縁膜と異なる第 2 絶縁膜と、をさらに具備することを特徴とする請求項 1 1 乃至 1 5 のいずれか 1 項に記載の半導体記憶装置。

【請求項 1 7】 前記第 1 絶縁膜と前記第 2 絶縁膜とはエッチングレートが異なることを特徴とする請求項 1 0 または 1 6 に記載の半導体記憶装置。

【請求項 1 8】 半導体基板の表面に溝を形成する工程と、前記溝の底部の前記半導体基板内に第 1 不純物拡散領域を形成する工程と、前記溝の側壁および底部にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体基板の表面に、一端が前記ゲート絶縁膜を介して前記ゲート電極と対向する位置の前記溝の前記側壁に接し、且つ前記第 1 不純物拡散領域と同じ導電型を有する第 2 不純物拡散領域を形成する工程と、前記第 2 不純物拡散領域上に下部電極を形成する工程と、前記下部電極上に強誘電体膜を形成する工程と、前記強誘電体膜上に上部電極を形成する工程と、前記第 1 不純物拡散領域と電氣的に接続されたコンタクトプラグを形成する工程と、前記コンタクトプラグと電氣的に接続された配線層を前記上部電極の上方に形成する工程と、

を具備することを特徴とする半導体記憶装置の製造方法。

【請求項 1 9】 トランジスタと、両端が前記トランジスタの両端とそれぞれ電氣的に接続されたキャパシタとから構成されるメモリセルが複数個電氣的に直列接続された構成を有する半導体記憶装置の製造方法であって、

前記半導体基板の表面に相互に離間する複数の溝を形成する工程と、

前記溝の底部の前記半導体基板内に第 1 不純物拡散領域を形成する工程と、

前記溝の側壁および底部にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

隣り合う前記溝の間の前記半導体基板の表面に、両端が前記ゲート絶縁膜を介して前記ゲート電極と対向する位置のこれら溝の前記側壁に接し、且つ前記第 1 不純物拡散領域と同じ導電型を有する第 2 不純物拡散領域を形成する工程と、

前記第 2 不純物拡散領域上に下部電極を形成する工程と、

前記下部電極上に相互に離間する強誘電体膜を形成する工程と、

前記強誘電体膜上に上部電極を形成する工程と、

前記第 1 不純物拡散領域と電氣的に接続されたコンタクトプラグを形成する工程と、

前記コンタクトプラグと電氣的に接続された配線層を前記上部電極の上方に形成する工程と、

を具備することを特徴とする半導体記憶装置の製造方法。

【請求項 2 0】 前記ゲート電極を形成する工程は、

前記溝内を前記ゲート電極の材料膜により埋め込む工程と、

前記材料膜が、前記溝の前記側壁に沿った部分が残存するようにパターニングする工程と、

を具備することを特徴とする請求項 1 8 または 1 9 に記載の半導体記憶装置の製造方法。

【請求項 2 1】 前記ゲート電極を形成する工程は、

前記溝の前記側壁および底部に、前記ゲート電極より厚い膜厚を有する前記ゲート電極の材料膜を堆積する工程と、

前記溝の底部の前記材料膜を除去する工程と、

を具備することを特徴とする請求項 1 8 または 1 9 に記載の半導体記憶装置の製造方法。

【請求項 2 2】 前記ゲート電極上に、前記ゲート電極と異なる材料の第 1 絶縁膜を形成する工程と、

前記溝を前記第 1 絶縁膜と異なる第 2 絶縁膜で埋め込む工程と、

をさらに具備することを特徴とする請求項 1 8 乃至 2 1 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、例えばメモリセルに強誘電体材料を用いた半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

メモリセルキャパシタに強誘電体材料を用いた強誘電体メモリが知られている。強誘電体メモリの 1 つに、TC 並列ユニット直列接続型強誘電体メモリがある。このメモリは、セルトランジスタ (T) のソース・ドレイン間にキャパシタ (C) の両端がそれぞれ接続された単位セルが複数個、電氣的に直列に接続された構造を有する。

【0 0 0 3】

図 2 1 は、TC 並列ユニット直列接続型強誘電体メモリ（以下、特に明示しない限り、単に半導体記憶装置）を概略的に示す断面図である。図 2 1 に示すように、半導体基板 1 0 1 の表面にゲート電極 1 0 2、ソース／ドレイン拡散領域 1 0 3 a、1 0 3 b から構成されるメモリセルトランジスタ 1 0 4 が形成される。トランジスタ 1 0 4 の上方には、下部電極 1 1 1、強誘電膜 1 1 2、上部電極 1 1 3 から構成されるメモリセルキャパシタ 1 1 4 が形成される。

【0 0 0 4】

下部電極 1 1 1 は、コンタクト 1 2 1 によりソース／ドレイン拡散領域 1 0 3 a と接続される。上部電極 1 1 3 は、接続層 1 2 2、プレート電極 1 2 3、コン

タクト 1 2 4 を介してソース／ドレイン拡散領域 1 0 3 b と接続される。メモリセルトランジスタ 1 0 4 の 1 つは、セレクトトランジスタ 1 3 1 と接続される。セレクトトランジスタ 1 3 1 のソース／ドレイン拡散領域 1 0 3 a は、コンタクト 1 3 2 を介してビット線 1 3 3 と接続される。

【 0 0 0 5 】

また、TC 並列ユニット直列接続型以外の構造を有する強誘電体メモリとして、図 2 2 に示す構造が知られている。この構造の強誘電体メモリは、2 つのトランジスタ 1 0 4 に共通のソース／ドレイン拡散領域 1 0 3 b がコンタクト 1 3 2 を介してビット線 1 3 3 と接続される。上部電極 1 1 3 とプレート電極 1 2 3 は共通とされており、紙面に垂直の方向に延在している。

【 0 0 0 6 】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【 0 0 0 7 】

【特許文献 1】

特開 2002-329795 号公報

【 0 0 0 8 】

【特許文献 2】

特開平 10-255483 号公報

【 0 0 0 9 】

【発明が解決しようとする課題】

半導体記憶装置の微細化、高集積化を進めるため、1 単位セル当たりの面積を小さくすることが要求される。図 2 1、図 2 2 に示す半導体記憶装置においても、デザインルールを小さくすることにより、1 単位セル当たりの面積を小さくしている。

【 0 0 1 0 】

このように、1 単位セル当たりの面積が小さくなることにより、トランジスタのゲート長も小さくなっていく。しかしながら、ゲート長が小さくなり過ぎると、ショートチャネル効果が発生する。ショートチャネル効果により、メモリセルトランジスタが誤動作を起こす恐れがある。このため、図 2 1、図 2 2 に示す構

造では、1 単位セル当たりの面積を小さくするには限界がある。

【0 0 1 1】

また、1 単位セル当たりの面積が小さくなるに連れ、コンタクト 1 2 1、1 2 4、1 3 2 のアスペクト比が高くなる。アスペクト比が高くなると、これらコンタクト 1 2 1、1 2 4、1 3 2 を形成する際、コンタクトホールが導電材で十分埋め込まれない恐れが生じる。この結果、接触不良が生じる。また、コンタクトホールを形成すること自体も困難になる。

【0 0 1 2】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、微細化およびコンタクトのアスペクト比を低下することが可能な半導体記憶装置を提供しようとするものである。

【0 0 1 3】

【課題を解決するための手段】

本発明の第 1 の視点による半導体記憶は、半導体基板と、前記半導体基板の表面に形成され、且つ第 1 側壁を有する、第 1 溝と、前記第 1 溝の底部の前記半導体基板内に形成された第 1 不純物拡散領域と、前記半導体基板の表面に形成され、且つ一端が前記第 1 側壁に接し、且つ前記第 1 不純物拡散領域と同じ導電型を有する、第 2 不純物拡散領域と、前記第 1 不純物拡散領域と前記第 2 不純物拡散領域との間の前記第 1 側壁上にゲート絶縁膜を介して配設された第 1 ゲート電極と、前記第 2 不純物拡散領域上に配設された第 1 下部電極と、前記第 1 下部電極上に配設された第 1 強誘電体膜と、前記第 1 強誘電体膜上に配設された第 1 上部電極と前記第 1 上部電極の上方に配設された第 1 配線層と、前記第 1 配線層と前記第 1 不純物拡散領域とを電氣的に接続する第 1 コンタクトプラグと、を具備する。

【0 0 1 4】

本発明の第 2 の視点による半導体記憶装置は、トランジスタと、両端が前記トランジスタの両端とそれぞれ接続されたキャパシタとから構成されるメモリセルが複数個直列接続された構成を有する半導体記憶装置であって、前記トランジスタは、それぞれが、半導体基板の表面に形成された溝の底部の前記半導体基板内

に形成された第 1 不純物拡散領域と、前記溝の相互間の前記半導体基板の表面に形成され、且つ両端が前記溝の側壁に接し、且つ前記第 1 不純物拡散領域と同じ導電型を有する第 2 不純物拡散領域と、前記第 1 不純物拡散領域と前記第 2 不純物拡散領域との間の前記溝の前記側壁上にゲート絶縁膜を介して配設されたゲート電極と、を有し、前記キャパシタは、それぞれが、前記第 2 不純物拡散領域上に延在する下部電極と、前記下部電極上に配設された強誘電体膜と、前記強誘電体膜上に配設された上部電極と、を有する。

【 0 0 1 5 】

本発明の第 3 の視点による半導体記憶装置の製造方法は、半導体基板の表面に溝を形成し、前記溝の底部の前記半導体基板内に第 1 不純物拡散領域を形成し、前記溝の側壁および底部にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、前記半導体基板の表面に、一端が前記ゲート絶縁膜を介して前記ゲート電極と対向する位置の前記溝の前記側壁に接し、且つ前記第 1 不純物拡散領域と同じ導電型を有する第 2 不純物拡散領域を形成し、前記第 2 不純物拡散領域上に下部電極を形成し、前記下部電極上に強誘電体膜を形成し、前記強誘電体膜上に上部電極を形成し、前記第 1 不純物拡散領域と電氣的に接続されたコンタクトプラグを形成し、前記コンタクトプラグと電氣的に接続された配線層を前記上部電極の上方に形成する、ことを具備する。

【 0 0 1 6 】

本発明の第 4 の視点による半導体記憶装置の製造方法は、トランジスタと、両端が前記トランジスタの両端とそれぞれ接続されたキャパシタとから構成されるメモリセルが複数個直列接続された構成を有する半導体記憶装置の製造方法であって、前記半導体基板の表面に相互に離間する複数の溝を形成し、前記溝の底部の前記半導体基板内に第 1 不純物拡散領域を形成し、前記溝の側壁および底部にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、隣り合う前記溝の間の前記半導体基板の表面に、両端が前記ゲート絶縁膜を介して前記ゲート電極と対向する位置のこれら溝の前記側壁に接し、且つ前記第 1 不純物拡散領域と同じ導電型を有する第 2 不純物拡散領域を形成し、前記第 2 不純物拡散領域上に下部電極を形成し、前記下部電極上に相互に離間する強誘電体膜を形成し、

前記強誘電体膜上に上部電極を形成し、前記第 1 不純物拡散領域と電氣的に接続されたコンタクトプラグを形成し、前記コンタクトプラグと電氣的に接続された配線層を前記上部電極の上方に形成する、ことを具備する。

【0017】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【0018】

【発明の実施の形態】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0019】

（第 1 実施形態）

第 1 実施形態は、セルトランジスタ（T）・キャパシタ（C）並列ユニット直列接続型構造を有する強誘電体メモリに関する。図 1 は、本発明の第 1 実施形態に係る半導体記憶装置の一部を概略的に示す平面図である。図 2 は、図 1 の I I - I I 線に沿った断面図である。

【0020】

図 1、図 2 に示すように、例えば単結晶シリコンからなる半導体基板 1 の表面に、素子分離絶縁膜 2 が形成される。素子分離絶縁膜 2 により素子領域が相互に分離される。半導体記憶装置は、メモリセルトランジスタ（以下、明示しない限り、単にトランジスタ）3（3 a、3 b、3 c）、メモリセルキャパシタ（以下、明示しない限り、単にキャパシタ）4（4 a、4 b、4 c）、選択トランジスタ 5 を有する。トランジスタ 3 とキャパシタ 4 とは、メモリセルを構成する。

【0021】

素子領域内の半導体基板 1 の表面に、複数の溝 6 が形成される。トランジスタ

3 は、半導体基板 1 および溝 6 を利用して形成される。トランジスタ 3 (3 a、3 b、3 c) は、ソース／ドレイン拡散領域 1 1 a、1 1 b、ゲート絶縁膜 1 2、ゲート電極 1 3 から構成される。

【0 0 2 2】

溝 6 の底部の半導体基板 1 内にソース／ドレイン拡散領域 1 1 a (不純物拡散領域) が形成される。ソース／ドレイン拡散領域 1 1 b (不純物拡散領域) は、溝 6 相互間の半導体基板 1 の表面に形成される。ソース／ドレイン拡散領域 1 1 b は、溝 6 の側壁に達する。ソース／ドレイン拡散領域 1 1 b は、溝 6 相互間の 2 つのトランジスタ 3 a、3 b に対して共通とされている。ゲート絶縁膜 1 2 は、例えばシリコン酸化膜からなり、溝 6 の側壁および底部に沿って設けられる。

【0 0 2 3】

例えばポリシリコンからなるゲート電極 1 3 は、溝 6 の側壁上のゲート絶縁膜 1 2 上に設けられ、各溝 6 の両側の側壁上に設けられる。ゲート電極 1 3 は、少なくとも、ソース／ドレイン拡散領域 1 1 a と 1 1 b との間の、溝 6 の側壁上に設けられる。こうすることにより、ゲート電極 1 3 に、トランジスタ 3 のターンオン電圧が印加された際に、チャネルによってソース／ドレイン拡散領域 1 1 a、1 1 b 間が導通する。溝 6 内は、例えばシリコン酸化膜等の絶縁膜 1 4 (第 2 絶縁膜) により埋め込まれている。

【0 0 2 4】

キャパシタ 4 は、下部電極 2 1、強誘電体膜 2 2、上部電極 2 3 から構成される。下部電極 2 1 は、例えばプラチナ (Pt)、SRO (SrRuO_3)、イリジウム (Ir)、酸化イリジウム (IrO_2) 等の材料、およびこれらの積層膜により構成される。下部電極 2 1 は、ソース／ドレイン拡散領域 1 1 b 上に対応する位置の半導体基板 1 の表面上に設けられる。下部電極 2 1 は、隣接する溝 6 相互間の 2 つのキャパシタ 4 a、4 b に対して共通とされている。

【0 0 2 5】

強誘電体膜 2 2 は、キャパシタ 4 ごとに設けられ、また、溝 6 の相互間で隣接する 2 つのキャパシタ 4 a、4 b に属するもの同士は離間している。強誘電体膜 2 2 は、例えばジルコン酸チタン酸鉛 (PZT) から構成される。下部電極 2 1

と同様の材料により構成される上部電極 2 3 は、強誘電体膜 2 2 上に設けられる。

【 0 0 2 6 】

上部電極 2 3 上には、導電材料からなる接続層 3 1 を介してプレート電極（配線層） 3 2 が設けられる。接続層 3 1 は、例えばアルミニウム（A 1）、タンゲステン（W）等の材料から構成される。プレート電極 3 2 は、溝 6 上を通過して、溝 6 を挟んで隣り合うキャパシタ 4 c の接続層 3 1 と接続される。

【 0 0 2 7 】

プレート電極 3 2 の下端のほぼ中央から、溝 6 内の両側の側壁に設けられたゲート電極 1 3 の間の絶縁膜 1 4 を貫通するコンタクト 4 1 が設けられる。溝 6 の底部のゲート絶縁膜 1 2 は一部が除去されており、コンタクト 4 1 は、この除去された部分を通してソース／ドレイン拡散領域 1 1 a に達する。コンタクト 4 1 は、プレート電極 3 2 とソース／ドレイン拡散領域 1 1 a と電氣的に接続する機能を有する。

【 0 0 2 8 】

選択トランジスタ 5 は、直列接続されたうちの端部のメモリセルと接続するように設けられる。選択トランジスタ 5 も、メモリセルトランジスタ 3 と同様の構成を有する。選択トランジスタ 5 のソース／ドレイン拡散領域 1 1 b は、コンタクト 4 2 を介してビット線 4 3 と接続されている。4 4 は層間絶縁膜である。

【 0 0 2 9 】

次に、図 3 ～図 1 6 を参照して、上記構成の半導体記憶装置の製造方法について説明する。

【 0 0 3 0 】

図 3 は、図 1、図 2 の半導体記憶装置の製造工程の一部を概略的に示す平面図である。図 4 は、図 3 の I V - I V 線に沿った構造を概略的に示す断面図である。図 3、図 4 に示すように、半導体基板 1 の表面に、例えばシリコン窒化膜からなる保護膜 7 が形成される。次に、リソグラフィ工程、および R I E（Reactive Ion Etching）等のエッチング技術を用いて、保護膜 7 を貫通して半導体基板 1 に達する溝が形成される。次に、この溝内に例えばシリコン酸化膜が埋め込ま

れることにより、S T I (Shallow Trench Isolation) 構造を有する素子分離絶縁膜 2 が形成される。次に、素子領域 A A 内の半導体基板 1 の表面に、リソグラフィ工程、およびエッチング技術を用いて溝 6 が形成される。

【 0 0 3 1 】

次に、図 5 に示すように、溝 6 の内壁上および半導体基板 1 の表面にゲート絶縁膜 1 2 となる絶縁膜 1 2 a が、例えば熱酸化により形成される。次に、半導体基板 1 上の全面にゲート電極 1 3 となる導電膜 1 3 a が、L P C V D (Low Pressure Chemical Vapor Deposition) 法等を用いて堆積される。次に、C M P (Chemical Mechanical Polish) 法を用いて、保護膜 7 をストッパーとして導電膜 1 3 a が平坦化される。次に、R I E 等のエッチングにより導電膜 1 3 a が、半導体基板 1 の表面と同じ高さを有するまでエッチバックされる。次に、保護膜 7 がエッチングにより除去される。

【 0 0 3 2 】

次に、図 6 に示すように、半導体基板 1 上の導電膜 1 3 a、および絶縁膜 1 2 a が例えば C M P (Chemical Mechanical Polish) 法により除去される。この結果、溝 6 の側壁上にゲート絶縁膜 1 2 が形成されるとともに、溝 6 の内部が導電膜 1 3 a により埋め込まれる。

【 0 0 3 3 】

次に、図 7、および図 7 の V I I I - V I I I 線に沿った断面を示す図 8 に示すように、半導体基板 1 上に、ゲート電極 1 3 のパターンを有するマスク材 (図示せぬ) が堆積される。次に、このマスク材を用いて、例えば R I E 法により、導電膜 1 3 a がパターニングされる。この結果、ゲート電極 1 3 が形成される。この後、マスク材が除去される。

【 0 0 3 4 】

次に、図 9、および図 9 の X - X 線に沿った断面を示す図 1 0 に示すように、ゲート電極 1 3 相互間のゲート絶縁膜が、リソグラフィ工程およびエッチング技術を用いて除去される。この結果、溝 6 の底部で半導体基板 1 が露出する。次に、図示せぬマスク材により、この露出部分以外の半導体基板 1 を覆った後、露出部分からイオンを注入することにより、ソース/ドレイン拡散領域 1 1 a が形

成される。この後、マスク材が除去される。

【 0 0 3 5 】

次に、図 1 1、および図 1 1 の X I I - X I I 線に沿った断面を示す図 1 2 に示すように、半導体基板 1 上の全面に、C V D 法等を用いて、絶縁膜 1 4 の材料膜が堆積される。次に、この材料膜のうち、半導体基板 1 の表面上の部分が C M P 法等により除去される。この結果、絶縁膜 1 4 が溝 6 内に埋め込まれる。

【 0 0 3 6 】

次に、ソース／ドレイン拡散領域 1 1 b の形成予定領域に開口を有するマスク材（図示せぬ）が半導体基板 1 の表面に形成される。次に、このマスク材をマスクとして、イオンが注入されることにより、ソース／ドレイン拡散領域 1 1 b が形成される。この結果、トランジスタ 3 （3 a ～ 3 c ）および選択トランジスタ 5 が形成される。この後、マスク材が除去される。

【 0 0 3 7 】

次に、図 1 3、および図 1 3 の X I V - X I V 線に沿った断面を示す図 1 4 に示すように、スパッタリング、リソグラフィー工程、エッチング技術等を用いて、キャパシタ 4 （4 a ～ 4 c ）が形成される。

【 0 0 3 8 】

次に、図 1 5、および図 1 5 の X V I - X V I 線に沿った断面を示す図 1 6 に示すように、C V D 法等により、半導体基板 1 上の全面に例えば層間絶縁膜 4 4 a が堆積される。次に、リソグラフィー工程およびエッチング技術等を用いて、コンタクトホールおよび配線溝が形成される。次に、コンタクトホールおよび配線溝が導電材料で埋め込まれ、層間絶縁膜 4 4 a 上の余分な導電材料が C M P 法等により除去される。この結果、接続層 3 1、コンタクト 4 1、プレート電極 3 2 が形成される。

【 0 0 3 9 】

次に、図 1、図 2 に示すように、半導体基板 1 上の全面にさらなる層間絶縁膜 4 4 が形成される。次に、リソグラフィー工程およびエッチング技術等を用いて、層間絶縁膜 4 4 を貫通して選択トランジスタ 5 のソース／ドレイン拡散領域 1 1 b に達するコンタクトホール、および層間絶縁膜 4 4 内に配線溝が形成される

。次に、これらコンタクトホールおよび配線溝が導電材料で埋め込まれ、層間絶縁膜 4 4 上の余分な導電材料が除去される。この結果、コンタクト 4 2 およびビット線 4 3 が形成される。

【 0 0 4 0 】

本発明の第 1 実施形態に係る半導体記憶装置によれば、トランジスタ 3 は半導体基板 1 の表面に形成された溝 6 を利用して形成され、ゲート電極 1 3 は溝 6 の側壁に沿って設けられる。このため、トランジスタ 3 の平面面積によらずにゲート長を設定することができる。したがって、半導体記憶装置の微細化によってトランジスタ 3 の平面面積が小さくなったとしても、トランジスタ 3 のショートチャネル効果が発生することを回避可能な半導体記憶装置を提供できる。

【 0 0 4 1 】

また、下部電極 2 1 がソース／ドレイン拡散領域 1 1 b と、コンタクト（図 2 1 のコンタクト 1 2 1 に該当）を介さずに接続されている。このため、半導体基板 1 の表面からビット線 4 3 までの距離が減少し、この結果、コンタクト 4 2 のアスペクト比を低下させることができる。したがって、コンタクト 4 2 の形成不良が発生する確率を減少することができる。

【 0 0 4 2 】

また、図 2 1 において、ゲート電極 1 0 2 と下部電極 1 1 1 との間の層間絶縁膜の厚さは、信頼性等の理由により大幅に薄くすることはできない。このため、この部分の膜厚を確保する必要がある分、コンタクト 1 2 4 の高さを減ずることはできない。これに対し、第 1 実施形態に係る半導体記憶装置によれば、図 2 1 の構造で必要な層間絶縁膜の膜厚を確保する必要はなくなる。したがって、コンタクト 4 1 のアスペクト比を低下させることができる。溝 6 を浅く形成すれば、コンタクト 4 1 のアスペクト比をさらに低下させることができる。しかしながら、溝 6 が浅いとゲート長が低下してしまうため、余り溝 6 を浅くすることはできない。そこで、溝 6 の深さを、例えば図 2 1 におけるゲート長と同程度のゲート長を得られる程度とすれば、コンタクト 4 1 のアスペクト比を図 2 1 のコンタクト 1 2 4 よりある程度小さくすることができる。

【 0 0 4 3 】

第 1 実施形態の変形例として、ゲート電極 1 3 を、上記した方法と異なる方法により形成することも可能である。以下、その方法について、図 1 7 を用いて説明する。

【 0 0 4 4 】

図 1 7 は、図 4 に続く工程を概略的に示している。図 1 7 に示すように、絶縁膜 1 2 a の形成後、C V D 法、スパッタリング等により、溝 6 の内壁上、および半導体基板 1 の表面上に導電膜 1 3 a が堆積される。この際、導電膜 1 3 a の膜厚は、ゲート電極 1 3 の厚さ以上の厚さを有する。この後、リソグラフィー工程およびエッチング技術により、溝 6 の底部および半導体基板 1 の表面上の導電膜 1 3 a が除去される。この結果、図 8 に示すように、ゲート電極 1 3 が形成される。このような工程によっても、図 1、図 2 に示す構造と同じ構造を得ることができる。また、このようなゲート電極 1 3 の形成方法を、以下の第 2 ～第 4 実施形態に適用することも可能である。

【 0 0 4 5 】

(第 2 実施形態)

第 2 実施形態は、第 1 実施形態の構造に加え、ゲート電極 1 3 が絶縁膜により覆われた構造を有する。

【 0 0 4 6 】

図 1 8 は、本発明の第 2 実施形態に係る半導体記憶装置を概略的に示す断面図である。図 1 8 に示すように、ゲート電極 1 3 は、被覆絶縁膜 5 1 により覆われる。被覆絶縁膜 5 1 は、溝 6 を埋め込む絶縁膜 1 4 と異なる材料から実質的に構成される。より詳しくは、絶縁膜 1 4 の異なるエッチングレートを有する材料が用いられ、具体的には、絶縁膜 1 4 がシリコン酸化膜である場合、シリコン窒化膜が用いられる。

【 0 0 4 7 】

図 1 8 に示す構造は、例えば第 1 実施形態の図 8 の工程の後、半導体基板 1 上の全面に被覆絶縁膜 5 1 の材料膜が堆積され、この材料膜が公知の方法によりパターンニングされることにより形成される。

【 0 0 4 8 】

本発明の第2実施形態に係る半導体記憶装置によれば、半導体記憶装置は第1実施形態と同様の構造を有し、第1実施形態と同様の効果を得られる。さらに、第2実施形態では、ゲート電極13が被覆絶縁膜51により覆われている。このため、コンタクト41用のコンタクトホール形成の際、マスク材の位置ずれが発生した場合でも、コンタクト41がゲート電極13と接触することを回避できる。また、コンタクト41を、被覆絶縁膜51に対して自己整合的に形成することも可能である。コンタクト41が自己整合的に形成されることにより、マスクの位置ずれに対するマージンを考慮する必要がない分、溝6の面積を小さくすることができる。この結果、半導体記憶装置をさらに微細化することが可能となる。

【0049】

(第3実施形態)

第3実施形態は、TC並列ユニット直列接続型構造ではない、一般的な強誘電体メモリに関する。すなわち、ワード線とビット線との交点に、強誘電体材料を用いたキャパシタとトランジスタからなるメモリセルが配置され、同じワード線と接続されたメモリセルのキャパシタ同士が、プレート線を介して接続されている。

【0050】

図19は、本発明の第3実施形態に係る半導体記憶装置を概略的に示す断面図である。図19に示すように、ソース/ドレイン拡散領域11bは、一端のみが溝6の側壁に達している。強誘電体膜22および上部電極23は、下部電極21の両端に亘る。上部電極23は、プレート電極32と兼用とされている。

【0051】

コンタクト42は、ビット線43と接続され、層間絶縁膜44、絶縁膜14を貫通してソース/ドレイン拡散領域11aに達する。

【0052】

本発明の第3実施形態に係る半導体記憶装置によれば、第1実施形態と同様に、トランジスタ3は溝6を利用して形成され、ゲート電極13は溝6の側壁に沿って形成されている。このため、トランジスタ3の平面面積によらずにゲート長

を設定することができる。したがって、半導体記憶装置の微細化によってトランジスタ 3 の平面面積が小さくなったとしても、トランジスタ 3 のショートチャネル効果が発生することを回避可能な半導体記憶装置を提供できる。

【 0 0 5 3 】

(第 4 実施形態)

第 4 実施形態は、第 3 実施形態と第 2 実施形態とを組み合わせた構造を有する。図 2 0 は、本発明の第 4 実施形態に係る半導体記憶装置を概略的に示す断面図である。図 2 0 に示すように、ゲート電極 1 3 は、被覆絶縁膜 5 1 により覆われる。その他の構造は、第 3 実施形態と同様である。

【 0 0 5 4 】

本発明の第 4 実施形態に係る半導体記憶装置によれば、第 3 実施形態と第 2 実施形態とを併せた効果を有する。

【 0 0 5 5 】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【 0 0 5 6 】

【発明の効果】

以上、詳述したように本発明によれば、トランジスタの平面面積が小さくなった場合でも、トランジスタのショートチャネル効果を回避でき、またコンタクトのアスペクト比が小さい半導体記憶装置を提供できる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態に係る半導体記憶装置の一部を概略的に示す平面図。

【図 2】 図 1 の断面図。

【図 3】 図 1 の半導体記憶装置の製造工程を概略的に示す平面図。

【図 4】 図 3 の断面図。

【図 5】 図 4 に続く工程を概略的に示す断面図。

【図 6】 図 5 に続く工程を概略的に示す断面図。

【図 7】 図 6 に続く工程を概略的に示す平面図。

【図 8】 図 7 の断面図。

【図 9】 図 7 に続く工程を概略的に示す平面図。

【図 1 0】 図 9 の断面図。

【図 1 1】 図 9 に続く工程を概略的に示す平面図。

【図 1 2】 図 1 1 の断面図。

【図 1 3】 図 1 1 に続く工程を概略的に示す平面図。

【図 1 4】 図 1 3 の断面図。

【図 1 5】 図 1 3 に続く工程を概略的に示す平面図。

【図 1 6】 図 1 5 の断面図。

【図 1 7】 第 1 実施形態の変形例を概略的に示す断面図。

【図 1 8】 本発明の第 2 実施形態に係る半導体記憶装置を概略的に示す断面図。

【図 1 9】 本発明の第 3 実施形態に係る半導体記憶装置を概略的に示す断面図。

【図 2 0】 本発明の第 4 実施形態に係る半導体記憶装置を概略的に示す断面図。

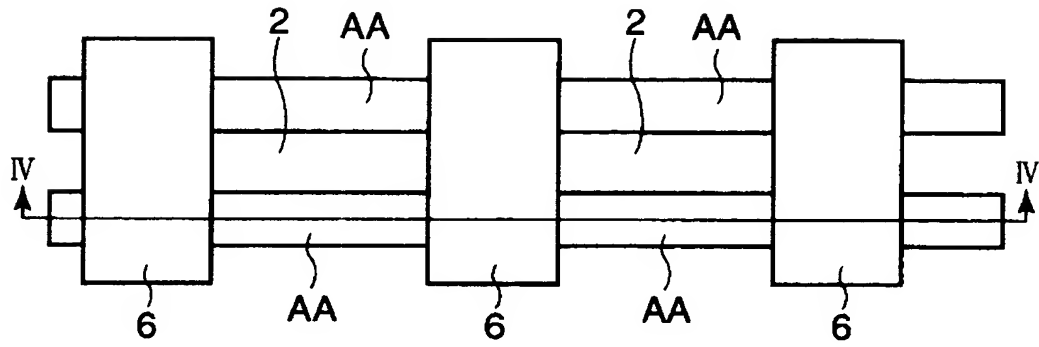
【図 2 1】 半導体記憶装置の従来構造を概略的に示す断面図。

【図 2 2】 半導体記憶装置の従来構造を概略的に示す断面図。

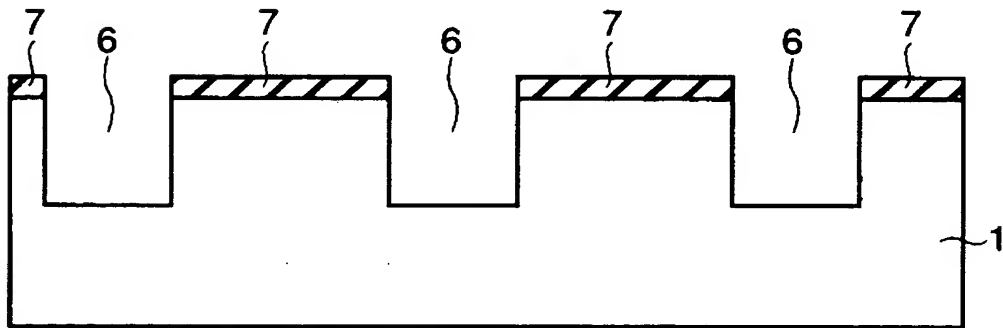
【符号の説明】

1…半導体基板、2…素子分離絶縁膜、3、3 a、3 b、3 c…メモリセルトランジスタ、4、4 a、4 b、4 c…メモリセルキャパシタ、5…選択トランジスタ、6…溝、7…保護膜、1 1 a、1 1 b…ソース／ドレイン拡散領域、1 2…ゲート絶縁膜、1 3…ゲート電極、1 2 a、1 4…絶縁膜、1 3 a…導電膜、2 1…下部電極、2 2…強誘電体膜、2 3…上部電極、3 1…接続層、3 2…プレート電極、4 1、4 2…コンタクト、4 3…ビット線、4 4、4 4 a…層間絶縁膜、5 1…被覆絶縁膜。

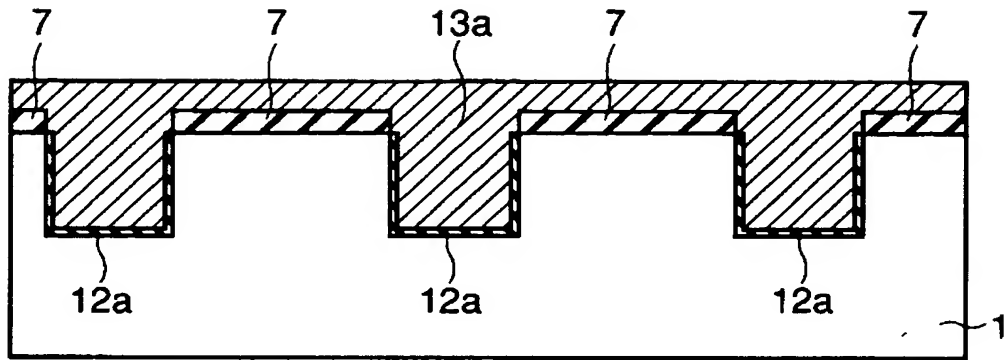
【図 3】



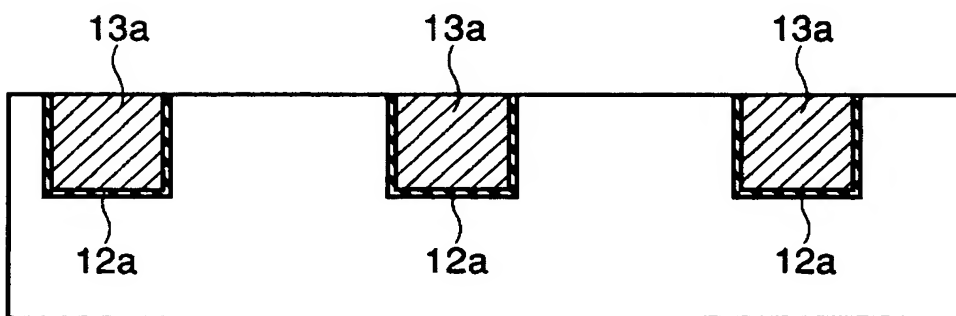
【図 4】



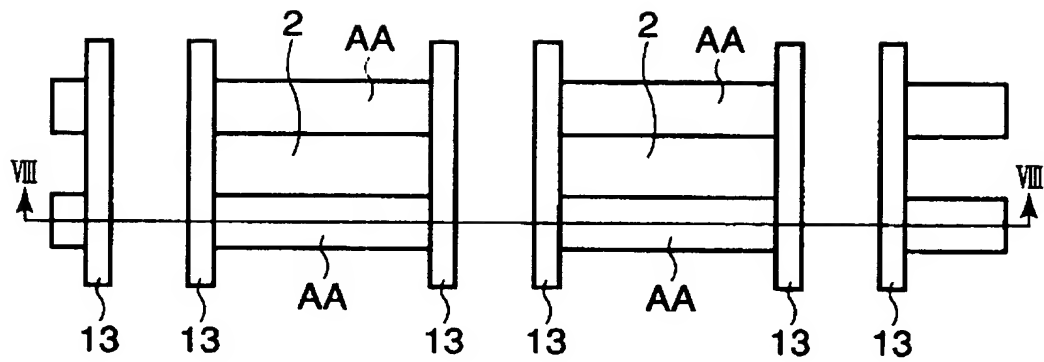
【図 5】



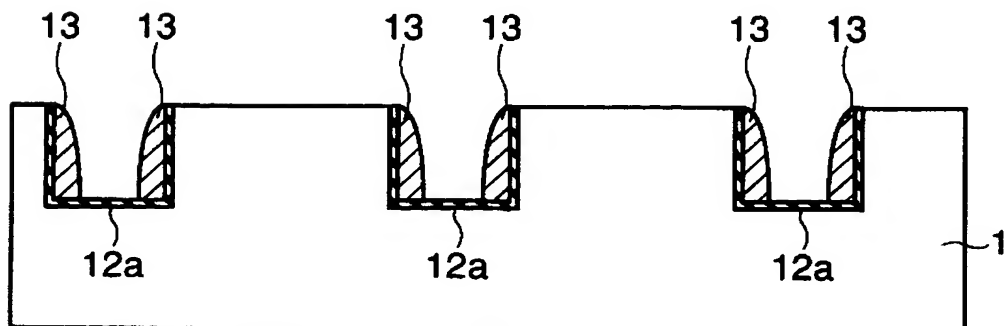
【図 6】



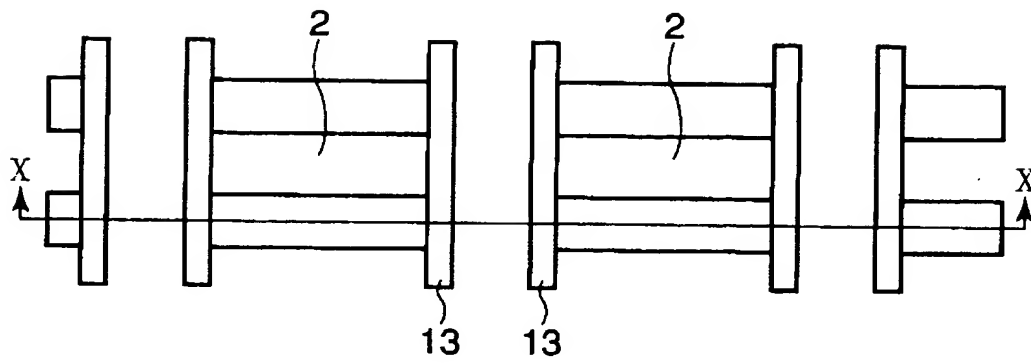
【図 7】



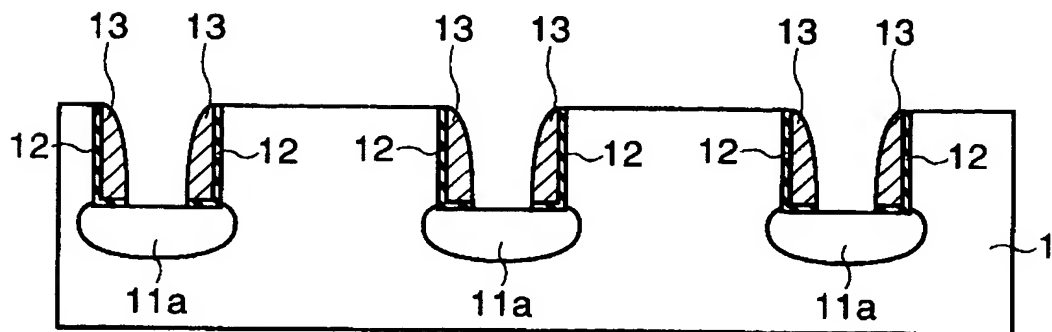
【図 8】



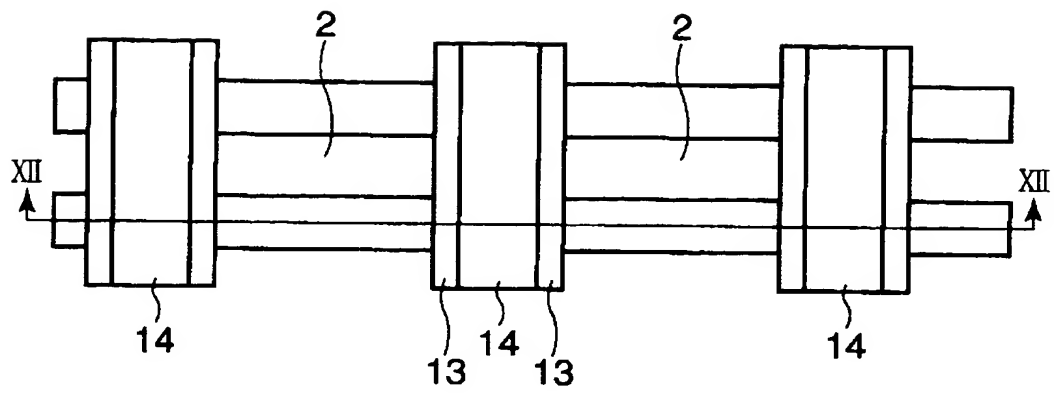
【図 9】



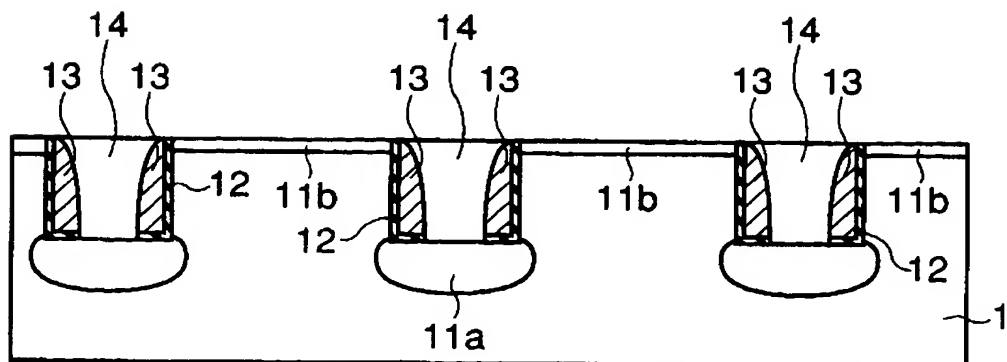
【図 1 0】



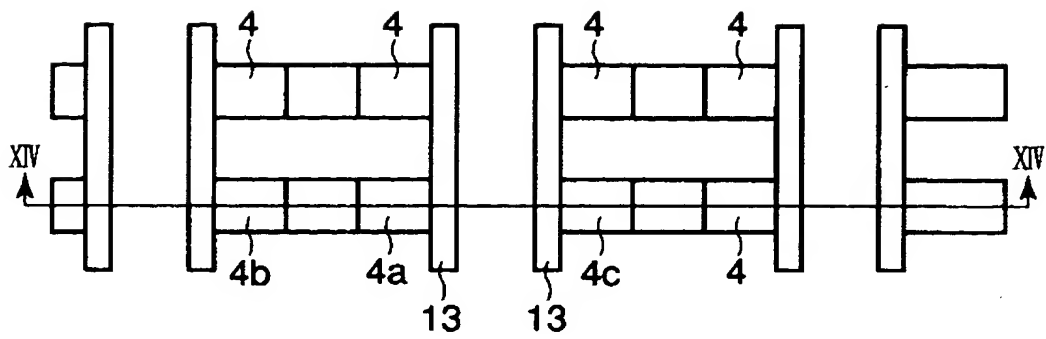
【図 1 1】



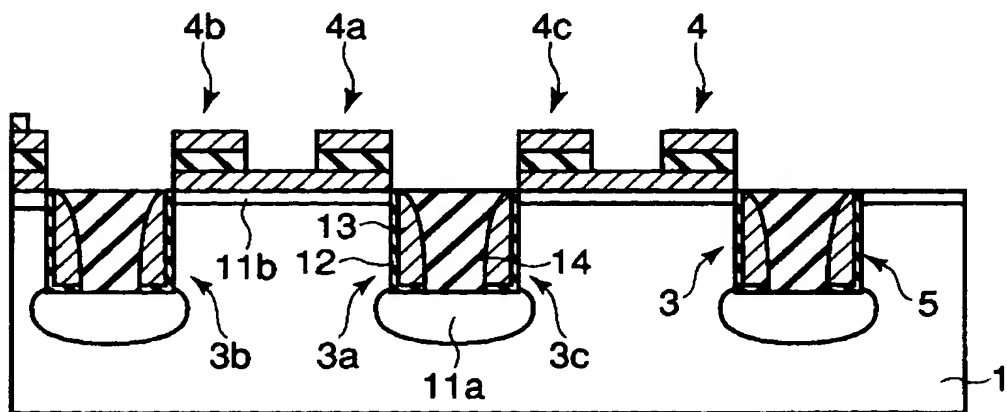
【図 1 2】



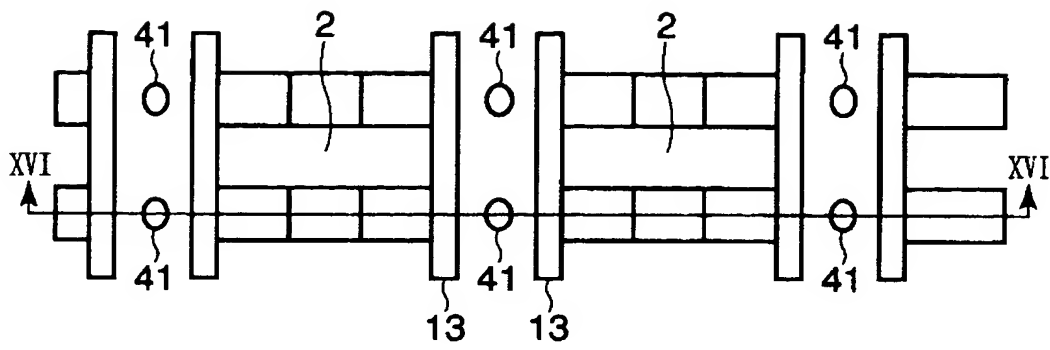
【図 1 3】



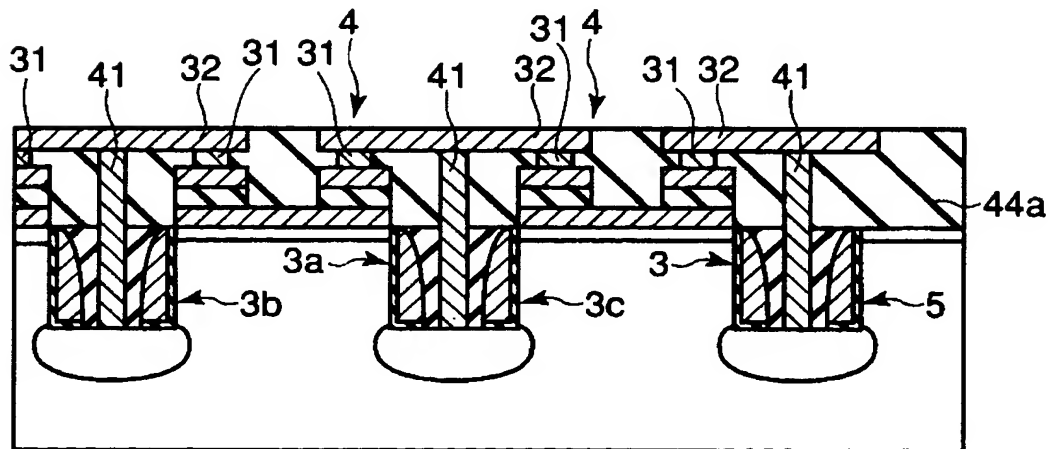
【図 1 4】



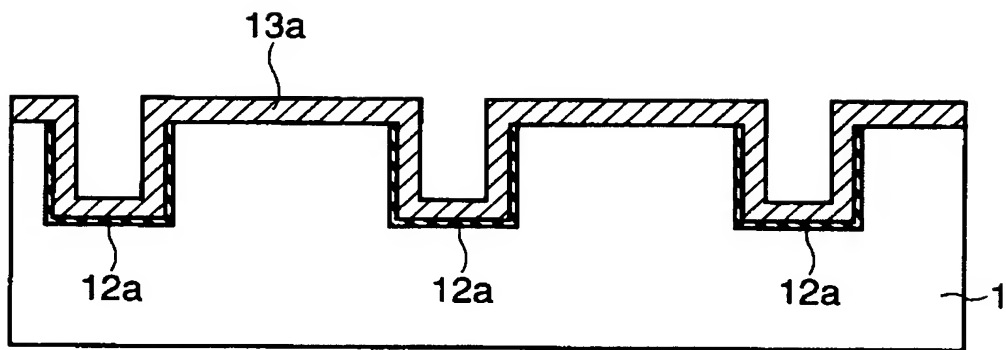
【図 1 5】



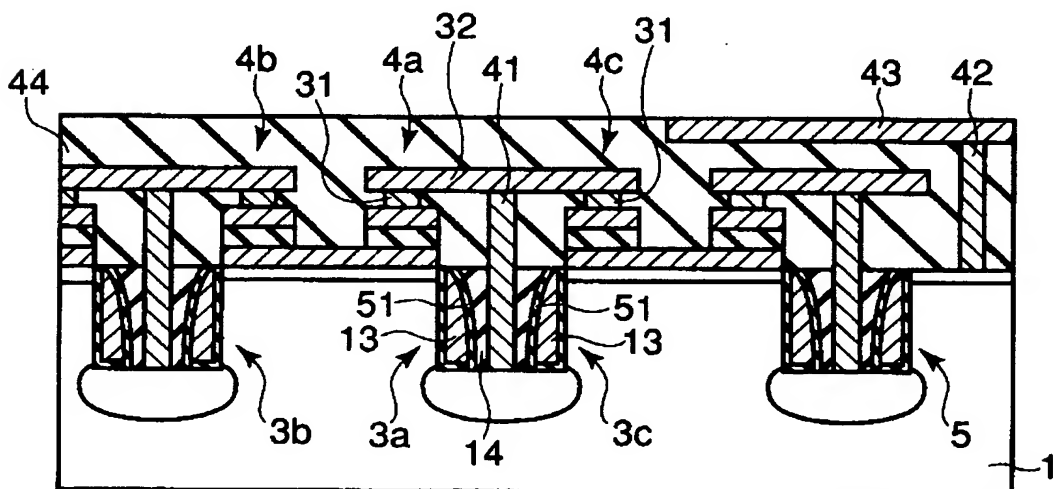
【図 1 6】



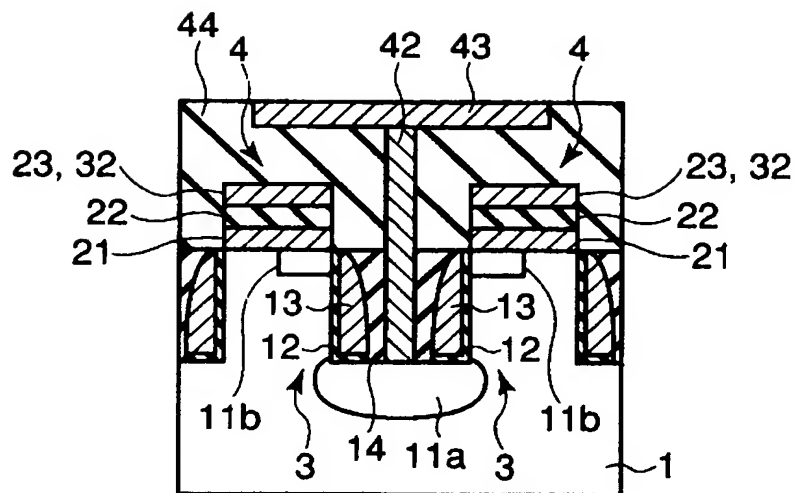
【図 1 7】



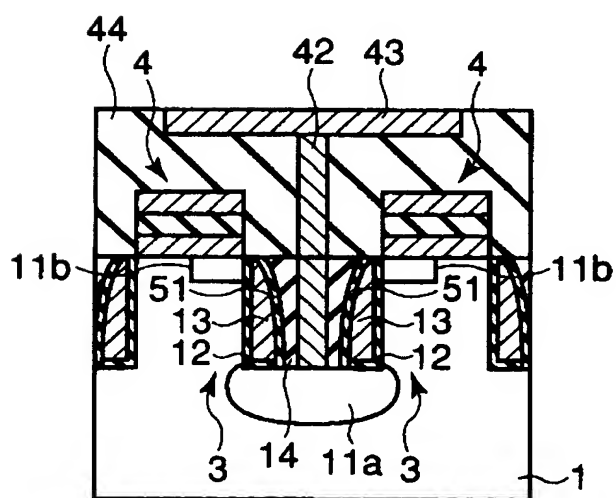
【図 1 8】



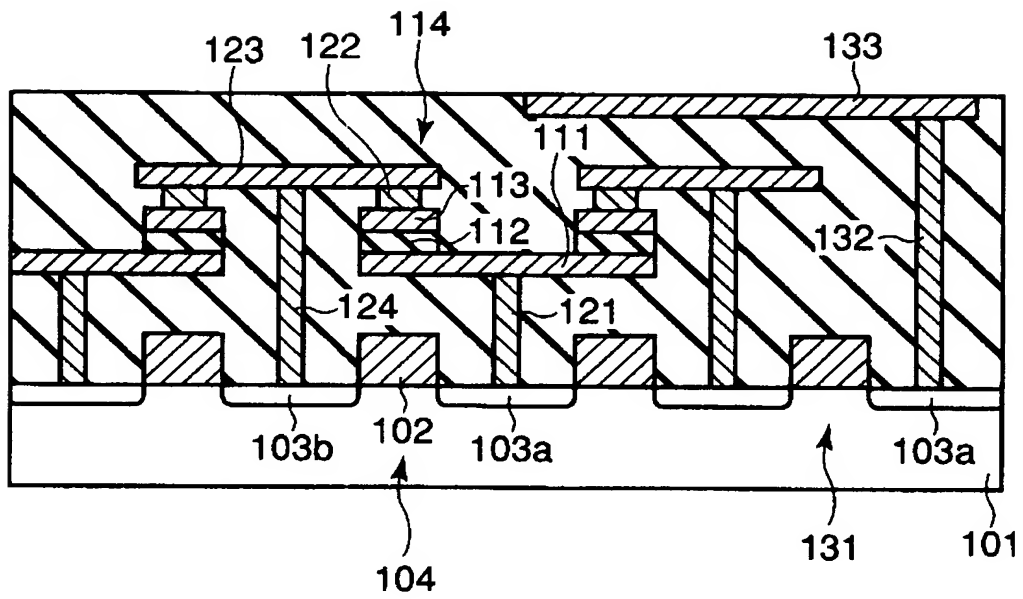
【図 1 9】



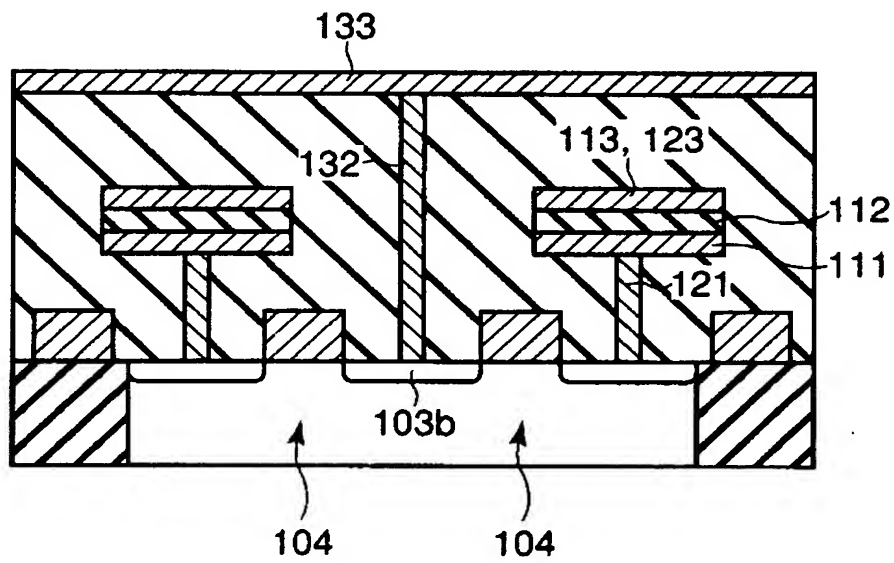
【図 2 0】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 微細化およびコンタクトのアスペクト比を低下可能な半導体記憶装置を提供する。

【解決手段】 第 1 側壁を有する第 1 溝 6 が半導体基板 1 の表面に形成される。第 1 不純物拡散領域 1 1 a は、第 1 溝の底部の半導体基板内に形成される。第 2 不純物拡散領域 1 1 b は、半導体基板の表面に形成され、一端が第 1 側壁に接し、第 1 不純物拡散領域と同じ導電型を有する。第 1 ゲート電極 1 3 は、第 1 不純物拡散領域と第 2 不純物拡散領域との間の第 1 側壁上にゲート絶縁膜 1 2 を介して配設される。第 1 下部電極 2 1 は第 2 不純物拡散領域上に配設される。第 1 強誘電体膜 2 2 は第 1 下部電極上に配設される。第 1 上部電極 2 3 は第 1 強誘電体膜上に配設される。第 1 配線層 3 2 は第 1 上部電極の上方に配設される。第 1 コンタクトプラグ 4 1 は第 1 配線層と第 1 拡散領域とを電氣的に接続する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝